

Abstract of Japanese Unexamined Patent Publication No. 5-129251

A multi-layered photoresist is disclosed in order to form an accurate resist pattern on a substrate having a trench. According to a conventional process shown in Fig. 2, lower resist 2 may remain in the trench of substrate 1 or if resists 2 and 3 are strongly etched and do not remain in the trench, there is decreased dimensional accuracy. In addition, the exposed surface of substrate 1 may be sputtered and produce a contaminant. According to the process of this publication, which aims to solve these drawbacks, the lower resist comprises a layer 2 of poly(methyl methacrylate) (PMMA) and the layer 3 is a novolak resin, as shown in Fig. 1. Since PMMA is easily etched and removed from the trench, resists 3 and 4 are hardly damaged and the substrate 1 is scarcely sputtered.

THOMSON  DELPHION			RESEARCH My Account Products	PRODUCTS Search: Quick/Number Boolean Advanced	INSIDE DELPHION
--	--	--	--	--	------------------------

The Delphion Integrated View

Get Now: ☒ PDF | [More choices...](#)

Tools: Add to Work File: [Create new Work File](#)

View: [INPADOC](#) | Jump to: [Top](#) ☒ Go to: [Derwent...](#)

☒ [Email this](#)

Title: JP5129251A2: RESIST PATTERN FORMATION

Country: JP Japan

Kind: A

Inventor: ENDO HIROYUKI;

Assignee: OKI ELECTRIC IND CO LTD
[News, Profiles, Stocks and More about this company](#)

Published / Filed: 1993-05-25 / 1991-11-05

Application Number: JP1991000288723

IPC Code: [H01L 21/302](#); [H01L 21/027](#);

Priority Number: 1991-11-05 JP1991000288723

Abstract:

PURPOSE: To provide a method, which prevents bottom layer resist residue at the recessed part on a substrate without excessively overetching the bottom layer resist when the substrate has a recessed part, for pattern formation using multi-layer resist in semiconductor device production.

CONSTITUTION: The bottom layer resist of multi-layer resist has poly methyl methacrylate 2 as the first layer, the film of novolak resist 3 as the second layer, and top layer resist 4 is formed on the bottom layer resist for patterning and etching.

COPYRIGHT: (C)1993,JPO&Japio

Family: None

Other Abstract Info: DERABS C93-201927 DERC93-201927



[Nominate](#)

[this for the Gallery...](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-129251

(43) 公開日 平成5年(1993)5月25日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/302	H	7353-4M		
21/027		7352-4M	H 0 1 L 21/30	3 6 1 S

審査請求 未請求 請求項の数1(全 3 頁)

(21) 出願番号 特願平3-288723

(22) 出願日 平成3年(1991)11月5日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 遠藤 裕之

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

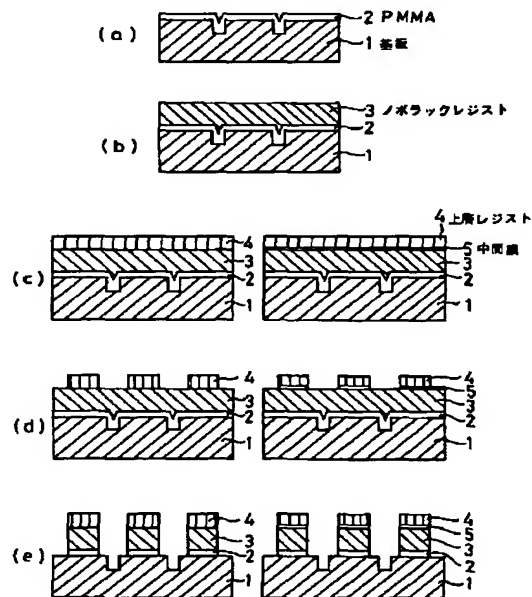
(74) 代理人 弁理士 鈴木 敏明

(54) 【発明の名称】 レジストパターン形成方法

(57) 【要約】

【目的】 本発明は、半導体装置の製造における多層レジストによるパターン形成方法に関するもので、基板に凹部がある場合、下層レジストに過剰なオーバーエッチングすることなしに、前記基板の凹部における下層レジストの残留を防ぎ得る方法を提供することを目的とするものである。

【構成】 前記目的のために本発明は、前記多層レジストにおける下層レジストを、その第1の層としてポリメチルメタクリレート2を用い、第2層としてノボラックレジスト3を成膜し、そのような下層レジストの上に上層レジスト4を形成して、パターニング、エッチングを行うようにしたものである。



本発明の実施例

【特許請求の範囲】

【請求項1】 半導体装置の製造における多層レジストパターンの形成において、

半導体基板上に、下層レジストの第1の層としてポリメチルメタクリレートを成膜する工程と、前記下層レジストの第2の層としてノボラックレジストを成膜する工程と、前記下層レジストのマスクとなる上層レジストの塗布及びパターニングを行う工程と、酸素系の反応性イオンエッチングにより前記下層レジストの第1及び第2の層のエッチングを行う工程より成ることを特徴とするレジストパターン形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体装置の製造における多層レジストによるパターン形成方法に関するものである。

【0002】

【従来の技術】 従来の多層レジストパターン形成工程について図2に例を示す。

【0003】 同図(a)～(e)は工程の概略である。図2において、1は被加工基板を、2は下層レジストを、3は上層レジストを表わす。

【0004】 まず図2(a)において、被加工基板1上に該基板1の有する段差を被覆しうる厚さの下層レジスト2を塗布し、熱板若しくは高温雰囲気中で200～250℃の加熱を施す。

【0005】 次に図2(b)のように、平坦化された基板上に上層レジスト3を塗布及び加熱し、多層レジスト構造を形成する。この後図2(c)において、所望のパターン通りにエネルギー線4を照射し、図2(d)の現像工程により上層レジストパターン3を得る。

【0006】 最後に図2(e)のように、図2(d)で得られた上層レジストパターン3をマスクとして、反応性イオンエッチング等により下層レジストをパターニングし、工程を終了する。

【0007】

【発明が解決しようとする課題】 しかし以上述べた工程において、下層レジストエッチング後の被加工基板露出領域に凹部が存在する場合、該凹部の内部に下層レジストが残留し、後の工程で欠陥が生じるという問題があった。また該凹部を十分にエッチングし得る様なオーバーエッチングを施した場合、レジストパターニングの寸法が減少したり、早期に露出した基板段差上部の表面が、過剰にスパッタされ、レジストパターン側壁に付着し、後のレジスト剥離工程で除去不能となるなどの問題があった。

【0008】 この発明は以上述べた様に、段差を有する被加工基板上の下層レジストを反応性イオンエッチング等でパターニングする場合、過剰なオーバーエッチングを施すことなしに、被加工基板上凹部における該下層レ

ジストの残留を防ぎ得る下層レジスト構造を提供することを目的とする。

【0009】

【課題を解決するための手段】 この発明は被加工基板上にレジストパターンを形成する工程において、該被加工基板上にポリメチルメタクリレート（以下PMMA）を塗布し、その上部にノボラックレジストを塗布した2層構造を下層レジストとして使用する様にしたものである。

【0010】

【作用】 前述したようにこの発明では、下層レジスト底部にエッチングレートの早いPMMAの膜を設けるようにしたので、被加工基板の有する凹部をエッチングする為に必要な過剰なオーバーエッチングを低減することが出来る。これによってレジストパターンの寸法制御性が向上すると共に、被加工基板がスパッタされることによってレジストパターンの側壁に剥離の困難な膜が生じることを防ぐことが出来る。

【0011】

【実施例】 図1に本発明の実施例の工程を示し、以下順に説明する。

【0012】 図1(a)において、被加工基板1上にPMMA2を回転塗布する。PMMAの膜厚は被加工基板1の凹部の深さにより、それを埋めることが出来る様に決定される。塗布後、熱板若しくは高温雰囲気中で180℃の加熱を行う。

【0013】 次に図1(b)で、例えばHPR204（富士ハント社製）の様なノボラックレジスト3を該レジスト3の表面が完全に平坦化されうる程度の膜厚で回転塗布し、その後熱板若しくは高温雰囲気中で200℃～250℃の加熱を行うこの2層、2と3をもって下層レジストとする。次に図1(c)のように、ノボラックレジスト3の上に上層レジスト4を直接回転塗布する（図1(c)左図）か、又は中間膜5を成膜した後、該中間膜5の上に上層レジスト4を回転塗布し（図1(c)右図）、熱板若しくは高温雰囲気中で加熱し、成膜工程全体を終了する。

【0014】 次に図1(d)のように、露光、現像、若しくはさらにエッチング等既知の方法により所望のパターンを得る。この後、図1(e)のように、下層レジストである2と3を酸素系の反応性イオンエッチングによりパターニングする。ここでエッチングが進行し、基板1の表面が露出した時点から被加工基板1上の凹部内にあるPMMA2のエッチングが開始される。酸素98sccm、窒素98sccm、RF1.5KW、圧力10mTorrの条件でエッチングを行った場合、ノボラックレジスト（例えばHPR204）3のエッチングレートが10000Å/minであるのに対し、PMMA2のエッチングレートは18500Å/minと約1.9倍大きい。したがってPMMA2が形成されている被加工基

3

板1の凹部のエッチングを行っている間に、おもにノボラックレジスト3から成るマスクパターンに生じる膜減りや寸法の減少はそのレジスト3のみを下層レジストとして用いた場合よりも低減することが出来る。また、この後被加工基板1にエッチングを施すに際しても異方性の強い条件を用いれば、エッチング耐性の強いノボラックレジストをその上部に有するマスクパターンによって良好な加工が可能である。

【0015】

【発明の効果】以上説明したようにこの発明によれば、下層レジスト底部にエッチングレートの高いPMMAの膜を設けるようにしたので、被加工基板の有する凹部をエッチングする為に必要となる過剰なオーバーエッチン

4

グを低減することが出来る。これによってレジストパターンの寸法制御性が向上すると共に、被加工基板がスパッタされることによってレジストパターンの側壁に剥離の困難な膜が生じることを防ぐことが出来る。

【図面の簡単な説明】

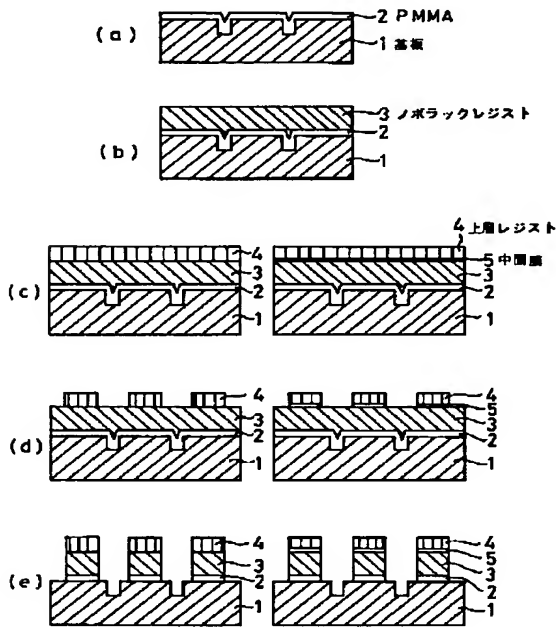
【図1】本発明の実施例

【図2】従来例

【符号の説明】

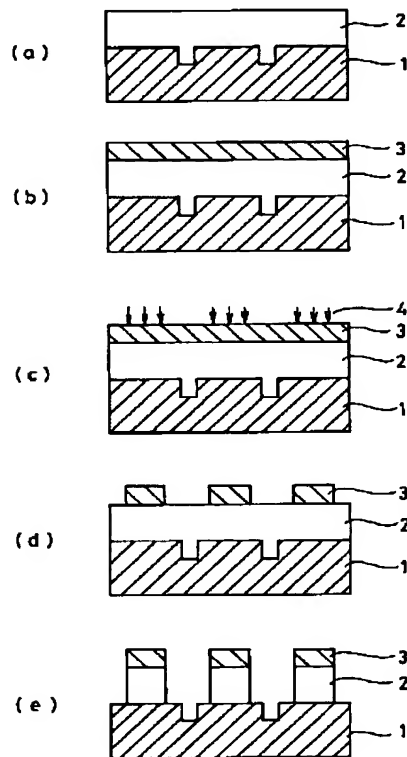
- 1 基板
- 2 PMMA
- 3 ノボラックレジスト
- 4 上層レジスト
- 5 中間膜

【図1】



本発明の実施例

【図2】



従来例